

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
Please do not report the images to the  
Image Problem Mailbox.

## RANDOM CODE GENERATING CIRCUIT

Patent Number: JP4046413  
Publication date: 1992-02-17  
Inventor(s): OSAKI TAKAAKI  
Applicant(s): FUJITSU LTD  
Requested Patent: JP4046413  
Application Number: JP19900155688 19900614  
Priority Number(s):  
IPC Classification: H03K3/84  
EC Classification:  
Equivalents:

### Abstract

**PURPOSE:** To generate plural random code series without increasing the circuit constitution by using a shift register for generating a random pattern and a feedback circuit in common for plural code series.  
**CONSTITUTION:** A feedback circuit 30 and a shift register 31 form linear m-series random pattern generating circuit, a feedback path is provided from the circuit 30 to the shift register 31 and a signal from a k-th bit tap of the shift register 31 and a signal from a (K+5)th bit tap are inputted to shift registers 31, 32. After an optional pattern is set to the register 31, when a 10-bit burst clock is inputted, the signals from the taps k, k+5 are inputted to the registers 32, 33 as soon as the shift operation of the register 31 is implemented and a specific code pattern in the random code series is generated from the registers 32, 33. Thus, plural pseudo random code patterns are generated without increase in the circuit constitution.

Data supplied from the **esp@cenet** database - I2

INTELLIGENCE  
⑨日本国特許庁 (JP) ⑩特許出願公開  
⑫公開特許公報 (A) 平4-46413

⑤Int. Cl.<sup>5</sup>  
H 03 K 3/84

識別記号 A  
庁内整理番号 8221-5J

⑬公開 平成4年(1992)2月17日

審査請求 未請求 請求項の数 1 (全6頁)

④発明の名称 ランダム符号発生回路

②特 願 平2-155688  
②出 願 平2(1990)6月14日

⑦発明者 大崎 隆昭 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内  
⑧出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地  
⑨代理人 弁理士 穂坂 和雄 外2名

明細書

3. 発明の詳細な説明

【要】

シフトレジスタと帰還回路とからなる疑似ランダムパターン発生回路を用いたランダム符号発生回路に関するもの。

回路構成を増大させることなく複数のランダム符号系列を発生することができるランダム符号発生回路を提供することを目的とした。

疑似ランダムパターンを発生するシフトレジスタ(2)の所定の間隔において複数のタップを選択し、各タップの出力信号を入力するそれぞれ所定の長さを持つシフトレジスタを接続し、複数のシフトレジスタのビット長の入力信号毎に相互に異なる疑似ランダム符号系列のパターンを発生するよう構成する。

【産業上の利用分野】

本発明はシフトレジスタと帰還回路とからなる疑似ランダムパターン発生回路を用いたランダム符号発生回路に関するもの。

1. 発明の名称

ランダム符号発生回路

2. 特許請求の範囲

シフトレジスタ(2)と帰還回路(1)とからなる疑似ランダムパターン発生回路を用いたランダム符号発生回路において、

疑似ランダムパターンを発生するシフトレジスタ(2)の所定の間隔において複数のタップを選択し、

各タップの出力信号を入力するそれぞれ所定の長さを持つ複数のシフトレジスタ(3-1～3-0)を接続し、

前記複数のシフトレジスタのビット長の入力信号毎に相互に異なる疑似ランダム符号系列のパターンを発生することを特徴とするランダム符号発生回路。

ディジタル情報の伝送、交換や、情報処理の分野において、装置やシステムの機能を試験したり、性能を評価する場合に乱数発生回路により発生する疑似ランダムパターンが用いられる。

具体的な例を挙げると、音声情報や画像情報のディジタル信号の伝送装置、交換装置および処理装置等は、ランダムなあらゆるパターンの信号に対処する機能を備えなければならない。そのため、疑似ランダム信号パターン（乱数信号ともいう）を発生させ、それらの信号に対して正常に動作するかが試験される。

従って、疑似ランダム信号を高速に発生することが必要であると共に、試験または評価すべき対象となる装置が、複数の入力信号について同時に処理する機能を持つ場合、それに対応して互いに相間のない複数の疑似ランダム信号パターンを同時に発生する必要がある。

#### 〔従来の技術〕

第4図は従来例の構成図である。

シフトレジスタ41-1から出力されたランダムパターンの出力は、jビットで構成する出力用のシフトレジスタ42-1に入力して、jビットのシフト動作毎にシフトレジスタ42-1のjビットの並列出力により第1の疑似ランダム信号パターンが得られる。

この第1の疑似ランダム信号パターンと相間のない他の第m ( $m \geq 2$ ) の疑似ランダム信号パターンを生成する構成は、上記の帰還回路40-1とは構成が異なる第mの帰還回路40-mと、上記のシフトレジスタ41-1と同じ長さの第mのシフトレジスタ41-m及び出力用のjビット長のシフトレジスタ42-mが用いられる。

このように、従来例のA. の場合は、相間関係のない複数の疑似ランダム信号パターン（乱数信号ともいう）を得るために、それに対応する帰還回路、シフトレジスタ、出力用のシフトレジスタを設ける必要があった。

次に第4図のB. の例を説明すると、帰還回路43-1とシフトレジスタ44-1および出力用

従来互いに相間のない複数の乱数信号系列を発生させる方法として、帰還回路とシフトレジスタの組合せにより構成される公知の線型M系列ランダムパターン発生回路が用いられ、第4のA. に示すような異なる帰還系列を用いる例と、第4図のB. に示すような異なるビット長を用いる例とがある。

第4図のA. について説明すると、第1の疑似ランダム信号パターンを発生するために、ロビットからなるシフトレジスタ41-1の最終段ロビットの出力が帰還回路40-1に入力し、公知の排他的オア（EXOR）回路の組合せによる適宜の複数の出力信号がシフトレジスタ41-1に帰還されて、線型M系列ランダムパターンが発生される（帰還回路における排他的オア回路とシフトレジスタへの帰還信号の構成は、ランダムビット列生成のための多項式により異なる）。

最初、シフトレジスタ41-1は或るビット状態（オール0以外のパターン）に設定され、図示しないクロック信号によりシフト動作が行われ、

のシフトレジスタ45-1により第1の疑似ランダム信号パターンが生成されるのに対し、この第1の疑似ランダム信号パターンと相間のない他の第mの疑似ランダム信号パターンを生成するために、帰還回路43-mの構成およびシフトレジスタ44-mのビット長さがそれぞれ第1の帰還回路43-1およびシフトレジスタ44-1と異なる発生回路を用いる。

#### 〔発明が解決しようとする課題〕

上記の従来例のA. の構成およびB. の構成のいずれの場合も、複数の互いに相間のない疑似ランダム信号パターンを発生するには、各疑似ランダム信号パターンに対応して、帰還回路、シフトレジスタとからなる線型m系列ランダムパターン発生回路が独立して設けられているため、複数のランダム信号系列を発生させようとすると金物費が多くなるという問題があった。

本発明は回路構成を増大させることなく複数のランダム信号系列を発生することができるランダ

ム符号発生回路を提供することを目的とする。

【課題を解決するための手段】

第1図は本発明の原理構成図である。

第1図において、1は帰還回路、2はシフトレジスタ、3-1はランダム符号系列1の出力用シフトレジスタ、3-mはランダム符号系列mの出力用シフトレジスタである。

本発明は金物量の大半を占めるランダムバターン発生用のシフトレジスタと帰還回路を複数の符号系列で共用化し、シフトレジスタの適宜の間隔をおいた複数のビット位置のタップから符号列を取り出して対応する出力用シフトレジスタに入力するものである。

【作用】

第1図の作用を第2図の原理説明図を用いて説明する。

第1図のシフトレジスタ2はnビット長で構成され、最初に任意のバターン（オール“0”以

ト列は、jビット分だけシフトレジスタ3-1～3-mにシフトしながら入力して、jビット毎に各シフトレジスタから並列なランダム符号が発生する。これらの各シフトレジスタ3-1～3-mの各ランダム符号はそれぞれ相互に相間が極めて小さいランダム符号系列1～ランダム符号系列mのバターンとなる。

出力用のシフトレジスタ（jビット長）の1つに出力されるバターンは、シフトレジスタ2から発生するビットバターン（第2図A）であるB<sub>1</sub>からB<sub>E</sub>（但し、E = 2<sup>n</sup> - 2）までの合計2<sup>n</sup> - 1個のビット列をjビット毎に区切った、P<sub>1</sub>、P<sub>2</sub>、…、P<sub>k</sub>の合計k個のバターンとなる。

しかし、シフトレジスタ2の1つの周期（B<sub>1</sub>からB<sub>E</sub>）のビット列は、jで割り切れないため、余り（または「ずれ」）のビットとして $\alpha$ 個のビットが生じる。これを式で表すと次のとおりである。

$$(2^n - 1) / j = k \text{ (余り } \alpha \text{)}$$

第2図Bに示すように、上記のP<sub>1</sub>～P<sub>k</sub>の

外）の状態に設定され、クロック信号によりシフトを行う。帰還回路1は予め決められた多項式に対応する帰還経路がシフトレジスタ2に対して形成されている（図ではシフトレジスタの各ビットに帰還経路ができるが、この中の必要なものだけを使用する）。

このシフトレジスタ2と帰還回路1の組合せにより、ロビットのシフトレジスタに発生する疑似ランダムビット列は、第2図のA.に示すように、1周期が(2<sup>n</sup> - 1)ビットである。

このシフトレジスタ2の中の所定の間隔をおいたビット位置の出力をタップにより取り出して、第1図のようにjビット長の出力用のシフトレジスタ3-1～3-mにそれぞれ入力し、シフト用のクロック信号を供給すると、第2図A.に示す疑似ランダムビット列がそれぞれ所定の間隔を置いて各シフトレジスタ3-1～3-mに入力する。なお、このシフトレジスタ3-1～3-mの終端のビット信号はシフトにより消える。

シフトレジスタ2で発生する疑似ランダムビッ

期間をグループ周期t<sub>1</sub>とし、各グループ周期t<sub>1</sub>、t<sub>2</sub>…とすると、最初のグループ周期t<sub>1</sub>の余りの $\alpha$ (< j)ビットを、次の周期t<sub>2</sub>の先頭のバターンP<sub>1</sub>に含んで以下のバターンが発生する。従って、最初の周期t<sub>1</sub>のバターンP<sub>1</sub>、P<sub>2</sub>…P<sub>k</sub>からなるバターングループ（図中、PG-1で表示）と以下の周期t<sub>2</sub>、t<sub>3</sub>…の各バターングループ（図中、PG-2、PG-3…で表示）のP<sub>1</sub>、P<sub>2</sub>…P<sub>k</sub>とは互いにビット構成にずれがあるため異なるバターンとなる。

こうして、グループ周期t<sub>i</sub>（但し、i = (xとjの最小公倍数) /  $\alpha$ ）になると、前記余り $\alpha$  = 0となって、バターンP<sub>1</sub>の先頭のビットがスタート時（PG-1の先頭のビットB<sub>1</sub>）と一致する。従って、このt<sub>1</sub>～t<sub>i</sub>の期間をTとする。TはバターングループPG-1、PG-2、…PG-iの繰り返し周期に相当する。このバターングループが順次サイクリックに発生する様子を第2図Cに示す。

上記の性質を利用すると、疑似ランダムパターン発生回路のシフトレジスタのあるタップから符号列  $P_C - 1$  を得る場合、当該タップと  $\alpha$  ビット進んだタップから得られる符号列は時間  $t$  (グループ周期) 後に得られる符号列  $P_G - (t + 1)$  に等しくなる。

この出力タップ取り出しの列を第2図D. に示す。この例では、 $\alpha = 2$ 、ランダム符号長  $j$  (出力用の各シフトレジスタのビット長) = 8ビット、 $i = (2 \text{ と } 8 \text{ の最小公倍数}) / 2 = 4$  の場合であり、 $\alpha$  と  $j$  の最小公倍数は 8 であるから、シフトレジスタの 8 ビット毎に同じランダムパターン列が発生し、2 ビット毎のタップの出力 ( $B_0, B_2, B_4, B_6$ ) から相互に相間の少ないビットパターンを取り出すことができる。

これは、複数のランダム符号パターン列を得る場合に、パターンの取り出しタップを適宜選択することにより同時に相間の極めて小さい疑似ランダムパターンが単一の発生回路から得られることを表す。

の①に示すように 10 ビットバーストクロックが入力すると、シフトレジスタ 31 のシフト動作と同時にタップ  $k$  と  $K + 5$  の信号がそれぞれシフトレジスタ 32、33 に入力する。

1 群の 10 ビットバーストクロックが入力された後、クロックが停止すると B. の③に示すように各シフトレジスタ 32、33 から有効出力が発生する。すなわち、各シフトレジスタ 32、33 の 10 ビットの出力 1、出力 2 で示す並列出力から、それぞれのランダム符号系列の中の特定の符号パターンが発生する。

この有効出力が取り出された後、次の 10 ビットバーストクロックが発生して、次の 10 ビットの符号パターンが得られ、以下、同様に、B. の②に示す周期  $T_1$  毎に符号パターンが各シフトレジスタ 32、33 から順次発生する。この例では、周期  $T_1$  を 10 ミリ秒とする。

このようにランダムパターンの発生周期を 10 ミリ秒とすると、ビット列の周期は、次のようになる。

## 【実施例】

第3図は実施例の構成図である。

第3図の A. に示す構成において、30 は帰還回路、31 は 61 ビットのシフトレジスタ、32、33 は 10 ビットのシフトレジスタである。

帰還回路 30 とシフトレジスタ 31 とで線型  $\alpha$  系列ランダムパターン発生回路を構成し、帰還回路 30 からシフトレジスタ 31 には予め設定された帰還路が設けられ、シフトレジスタ 31 の第  $k$  ビットのタップと第  $K + 5$  ビットのタップがそれぞれシフトレジスタ 32、33 に入力されている。また、シフトレジスタ 31 ~ 33 には、クロック信号が 10 個毎にバースト状に入力する 10 ビットバーストクロックが各シフト入力として供給されている。

第3図の B. に示すタイミングチャートを用いて動作を説明する。最初にシフトレジスタ 31 に任意のパターンが設定され (リセットにより任意の決められたパターンが設定される)、この後 B.

$$(2^{\alpha} - 1) / j = ((2^{i+1} - 1) / 10) \times 10^{-3} \text{ (秒)}$$

この時間 (秒) を年に換算 ( $3600 \times 24 \times 365$  秒で割る) すると、結果は、約 7311 年となる。なお、 $(2^{i+1} - 1) / 10$  の余り (差分) は、 $\alpha = 1$  となる。

第3図のシフトレジスタ 32、33 は、 $\alpha = 1$ 、 $j = 10$  であり、この時上記の計算により、 $i = 10$ 、 $i = 7311$  (年) であるから、周期  $T = t \times 10 = 73110$  年となる。この時、タップが 5 ビットずれているので、周期は  $1/2$  となるので、

$$73110 \text{ (年)} / 2 = 36000 \text{ (年)}$$

となり、互いに 5 ビット離れたタップから得られる疑似ランダム符号パターンは、約 3 万 6 千年の時間差を持つこととなり、2 個の出力パターンには実際の運用上相間がないと考えられる。

## 【発明の効果】

本発明によれば複数の疑似ランダム符号パターンを、共通のランダム符号発生回路を用いて発生

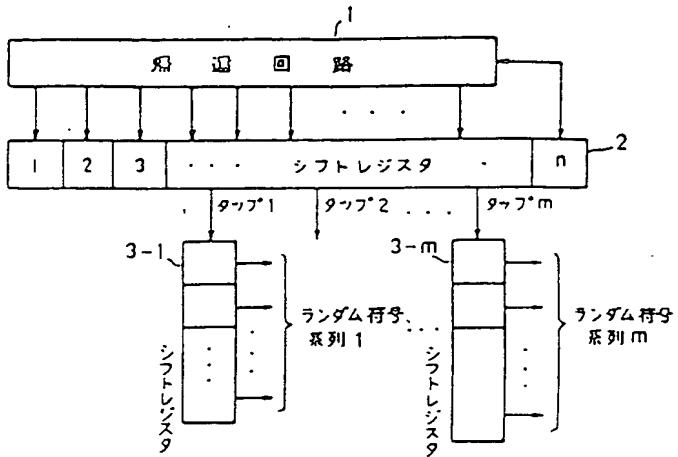
することができる。従来に比べて回路構成を大幅に削減することができる。

#### 4. 図面の簡単な説明

第1図は本発明の原理構成図、第2図は原理説明図、第3図は実施例の構成図、第4図は従来例の構成図である。

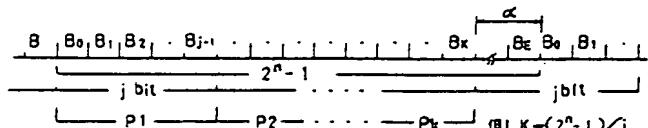
### 第1圖中.

1 : 優選回路  
 2 : シフトレジスタ  
 3 - 1 : ランダム符号系列 1 の  
         出力用シフトレジスタ  
 3 - m : ランダム符号系列 m の  
         出力用シフトレジスタ

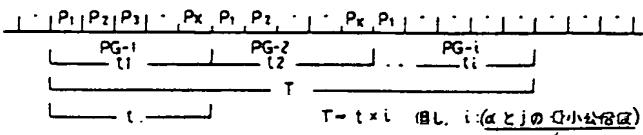


本発明の原理構成図  
第 1 図

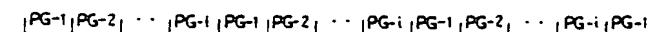
特許出願人　富士通株式会社  
代理人弁理士　沢坂　和雄（外2名）



#### A. 四値ランダム ピット例

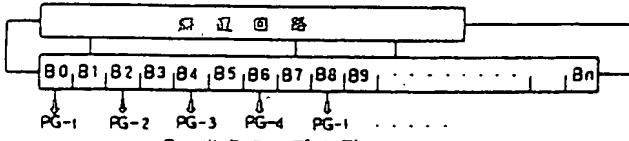


### 8. j ピットで区切った扇のくり返し周期

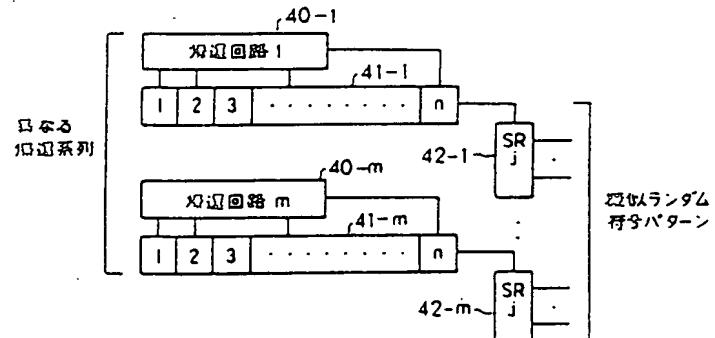


### C. パターングループの発生

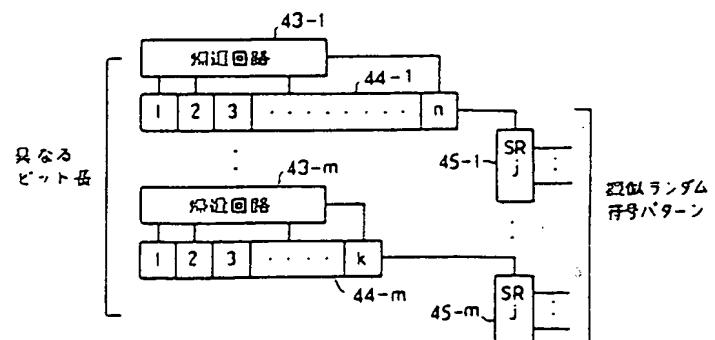
$\alpha = 2$ , ランダム符号長 = 8 bit,  $i = 4$  の場合



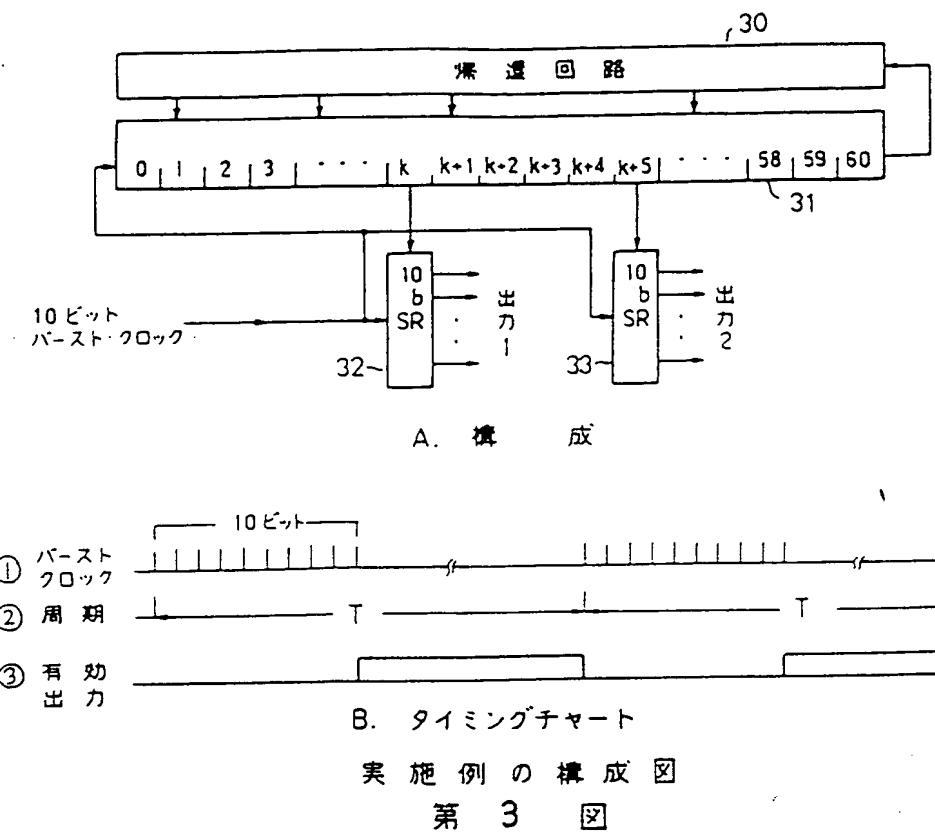
## 本願発明の原図説明図



#### A. 異なる帰還系列を用いる例



## 8. 異なるピット長を用いる例



実施例の構成図

第3図